

## 特徴

高性能、低消費 AVR<sup>®</sup> 8ビットマイクロコントローラ  
進化した RISC 構造

- 強力な 129 命令 (多くは 1 周期実行)
- 32 個の 16 ビット長汎用レジスタ
- 完全なステイット動作
- 20MHz 時、20MIPS に達する高速動作
- 2 周期乗算命令

高耐久不揮発性メモリ

- 実装自己書き換え可能な 4K / 8K / 16K / 32K バイト (2K / 4K / 8K / 16K 語) フラッシュメモリ内蔵
- 256 / 512 / 1K / 1K の EEPROM
- 512 / 1K / 1K / 2K バイトの内蔵 SRAM
- 書き換え回数 : 10,000 / フラッシュ, 100,000 / EEPROM
- データ保持力 : 20 年 / 85 °C, 100 年 / 25 °C
- 個別施錠ビットを持つ任意のフットコート領域
  - ・チップ内フットプログラムによる実装書き換え
  - ・真の書き込み中の読み出し動作
- ソフトウェア保護用の設定可能な施錠機能

内蔵周辺機能

- 独立した前置分周器と比較機能付き 2 つの 8 ビットタイマ/カウンタ
- 独立した前置分周器、比較、捕獲機能付き 1 つの 16 ビットタイマ/カウンタ
- 専用発振器と 8 ビットタイマ/カウンタによる実時間計数器 (RTC)
- 6 つの PWM 出力
- 6 チャンネル (PDIP / QFN / MLF28), 8 チャンネル (TQFP / QFN / MLF32) の 10 ビット A/D 変換器
  - ・温度測定
- 設定可能な直列 USART
- 主装置 / 従装置動作 SP 直列インターフェース
- 16 ビット対応 2 線直列インターフェース (Philips PC 互換)
- 設定可能な専用発振器付きウォッチドッグタイマ
- アナログ比較器
- ビン変化での割り込みと起動復帰

特殊マイクロコントローラ機能

- 電源 ON 時に回路と設定可能な低電圧検出器 (BOD)
- 校正可能な内蔵 RC 発振器
- 外部及び内部の割り込み
- アイドル、A/D 雑音低減、パワーセーブ、パワーダウン、スタンバイ、拡張スタンバイの 6 つの低消費動作

I/O と外圍器

- 23 ビットの設定可能な I/O
- 28 ピン PDIP, 28 ピン QFN / MLF, 32 ピン TQFP, 32 ピン QFN / MLF

動作温度

- -40 ~ 85

動作電圧

- 1.8 ~ 5.5V

動作速度

- 0 ~ 4MHz / 1.8 ~ 5.5V
- 0 ~ 10MHz / 2.7 ~ 5.5V
- 0 ~ 20MHz / 4.5 ~ 5.5V

代表消費電力 (1MHz, 1.8V, 25 °C)

- 0.2mA (標準動作)
- 0.1µA (パワーダウン動作)
- 0.75µA (パワーセーブ動作, 32kHz RTC を含む)

本書は一般の方々の便宜のため有志により作成されたもので、ATMEL 社とは無関係であることを御承知ください。しおりのはじめに [D] の内容にご注意ください。



8ビット AVR<sup>®</sup>

マイクロコントローラ

実装書き換え可能な  
4/8/16/32K バイト  
フラッシュメモリ内蔵

ATmega48A  
ATmega48PA  
ATmega88A  
ATmega88PA  
ATmega168A  
ATmega168PA  
ATmega328  
ATmega328P

# 1. ピン配置

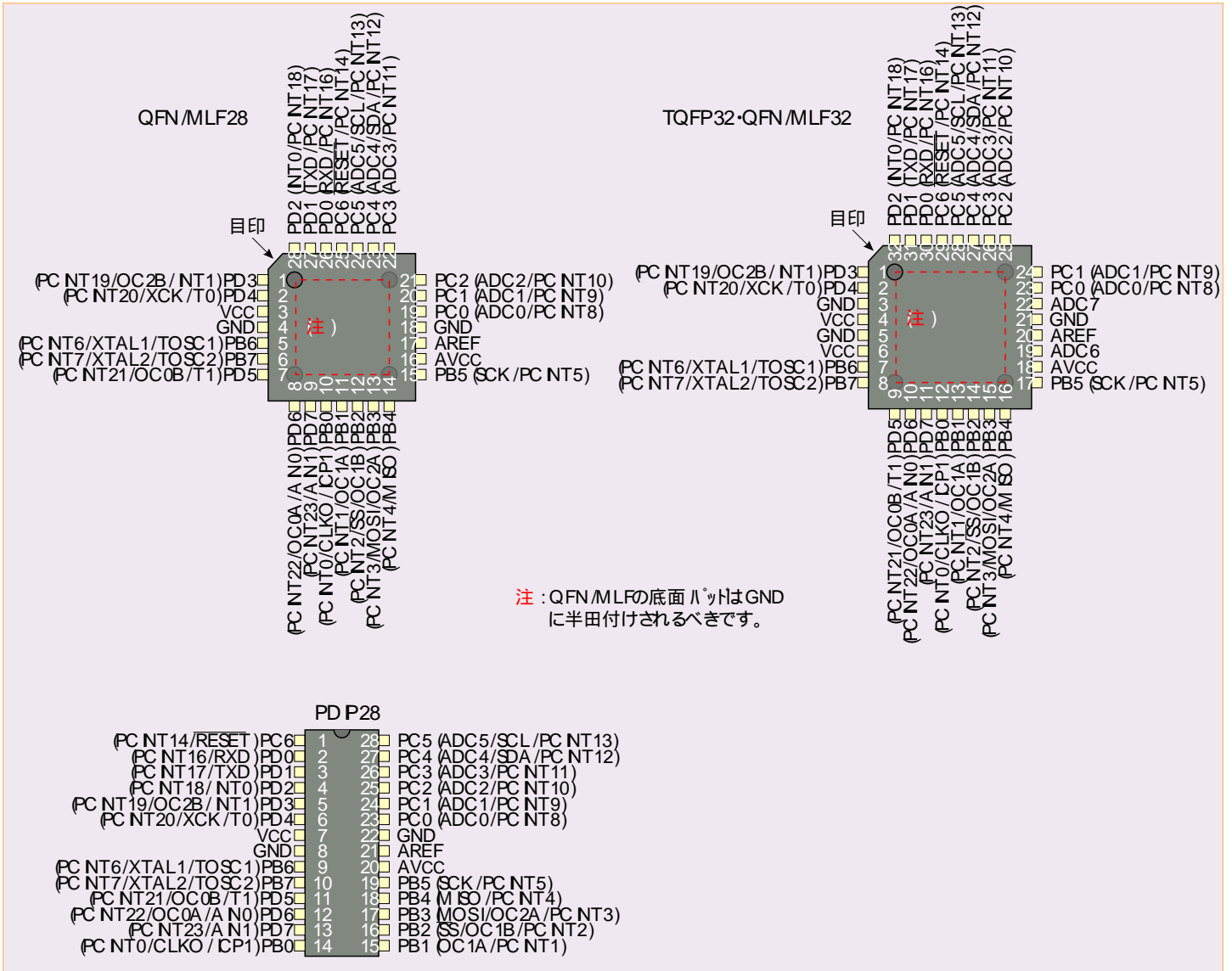


表 1-1. 32UFBGAL<sup>®</sup>配列 (ATmega328/328Pを除く)

	1	2	3	4	5	6
A	PD2	PD1	PC6	PC4	PC2	PC1
B	PD3	PD4	PD0	PC5	PC3	PC0
C	GND	GND			ADC7	GND
D	VCC	VCC			AREF	ADC6
E	PB6	PD6	PB0	PB2	AVCC	PB5
F	PB7	PD5	PD7	PB1	PB3	PB4

## 1.1. ピン概要

- 1.1.1. VCC** デジタル電源ピン。
- 1.1.2. GND** グランドピン。
- 1.1.3. PB7~ PB0 (ポートB)**  
XTAL1/XTAL2  
TOSC1/TOSC2
- ポートBはピン毎に選択される内蔵プルアップ抵抗付きの8ビットの双方向入出力ポートです。ポートB出力緩衝部は共に高い吐き出し/吸い込み能力の対称駆動特性です。入力の際にプルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートBピンにはソース電流が流れます。リセット条件が有効になると、クロックが動作していなくても、ポートBピンはハイ-Zになります。
- クロック選択ヒューズ設定に依存し、PB6は発振器反転増幅器への入力や内部クロック操作回路の入力として使用されます。
- クロック選択ヒューズ設定に依存し、PB7は発振器反転増幅器からの出力として使用されます。
- 校正付き内蔵RC発振器がチップ(システム)クロック元として使用される場合、非同期状態レジスタ(ASCR)の非同期動作(AS2ビット)が設定(1)されると、PB7は非同期タイマ/カウンタ用のTOSC2,1ピンとして使用されます。
- ポートBの各特殊機能は48頁の「ポートBの兼用機能」と17頁の「システムクロックとクロック選択」で詳しく述べられます。
- 1.1.4. PC5~ PC0 (ポートC)**
- ポートCはピン毎に選択される内蔵プルアップ抵抗付きの7ビットの双方向入出力ポートです。ポートC出力緩衝部は共に高い吐き出し/吸い込み能力の対称駆動特性です。入力の際にプルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートCピンにはソース電流が流れます。リセット条件が有効になると、クロックが動作していなくても、ポートCピンはハイ-Zになります。
- 1.1.5. PC6/RESET**
- RSTDISBLヒューズがプログラム(0)されると、PC6はI/Oピンとして使用されます。PC6の電気的特性がポートCの他のピンのそれと異なることに注意してください。
- RSTDISBLヒューズが非プログラム(1)の場合、PC6はリセット入力として使用されます。クロックが動作していなくても、最小パルス幅より長いこのピンのLowレベルはリセットを生成します。最小パルス幅は19頁の表28-12で与えられます。より短いパルスはリセットの生成が保証されません。
- ポートCの各特殊機能は5頁の「ポートCの兼用機能」で詳しく述べられます。
- 1.1.6. PD7~ PD0 (ポートD)**
- ポートDはピン毎に選択される内蔵プルアップ抵抗付きの8ビットの双方向入出力ポートです。ポートD出力緩衝部は共に高い吐き出し/吸い込み能力の対称駆動特性です。入力の際にプルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートDピンにはソース電流が流れます。リセット条件が有効になると、クロックが動作していなくても、ポートDピンはハイ-Zになります。
- ポートDの各特殊機能は53頁の「ポートDの兼用機能」で詳しく述べられます。
- 1.1.7. AVCC**
- AVCCはADC7,6、ポートC(3~0)とA/D変換器用供給電圧電源ピンです。例えばA/D変換が使用されなくても、外部的にVCCへ接続されるべきです。A/D変換が使用される場合、VCCから低域通過濾波器を通して接続されるべきです。ポートC(5,4)がデジタル供給電圧電源:VCCを使用することに注意してください。
- 1.1.8. AREF**
- AREFはA/D変換器用アナログ基準電圧ピンです。
- 1.1.9. ADC7,6**  
(TQFP/QFN/MLF32のみ)
- TQFPとQFN/MLF32外周器でのADC7,6はA/D変換器のアナログ入力として取り扱います。これらのピンはアナログ供給電源から電力供給され、10ビットA/Dチャンネルとして扱われます。



# ATmega48A/48PA/88A/88PA/168A/168PA/328/328P

AVRは32個の汎用レジスタと豊富な命令群を兼ね備えています。32個の全レジスタはALU (Arithmetic Logic Unit)に直結され、レジスタ間命令は1クロック周期で実行されます。AVR構造は現状のCISC型マイクロコントローラに対し、最大10倍の単位処理量向上効果があります。

ATmega48A/48PA/88A/88PA/168A/168PA/328/328Pは書き込み中読み出し可能な能力を持つ4K/8K/16K/32Kバイトの実装書き換え可能なフラッシュメモリと256/512/512/1KバイトのEEPROM、512/1K/1K/2KバイトのSRAM、23本の汎用入出力線、32個の汎用レジスタ、比較動作も含む柔軟な3つのタイマ/カウンタ、内部及び外部割り込み、設定変更可能な直列USART、ハイ志向の2線直列インターフェースSP直列ポート(8(32ピン外部器)、6(28ピン外部器)チャネルの10ビットA/D変換器、設定変更可能な内部発振器付きウォッチドッグタイマ、ソフトウェアで選択できる5つの低消費動作機能を提供します。アイドル動作では動作を停止しますが、SRAM、タイマ/カウンタ、SPポート、割り込み機能は有効で動作を継続します。パワーダウン動作ではレジスタの内容は保護されますが、発振器が停止するため、以降のハードウェアリセット外部割り込みまで他の全機能を禁止無効にします。パワーセーフ動作では非同期タイマ用発振器が動作を継続し、デバイスのその他が停止中であっても基準タイマの継続が許されます。A/D変換雑音低減動作ではA/D変換中の切り替え雑音を最小とするために、非同期タイマとA/D変換器を除く周辺機能とCPUが停止します。スタンバイ動作ではクリスタル発振器/セラミック振動子用発振器が動作し、一方デバイスのその他は休止します。これは低消費電力と非常に速い起動の組み合わせを許します。

本デバイスはATMELの高密度不揮発性メモリ技術を使用して製造されています。内蔵の実装書き換え(ISP可能なプログラム用フラッシュメモリ)は規定の不揮発性メモリ書き込み器、SP直列インターフェース経由、AVRコア上ポートプログラムの実行によって再書き込みができます。ポートプログラムは応用領域フラッシュメモリ内の応用プログラムの読み込みにどのインターフェースでも使用できます。ポート領域フラッシュメモリ内のソフトウェアは真の書き込み中の読み出し可動作により、応用領域フラッシュメモリ更新中も実行を継続します。モノリシックチップ上の自己実装書き換え可能なフラッシュメモリと、8ビットRISC型CPUの組み合わせによるATMEL ATmega48A/48PA/88A/88PA/168A/168PA/328/328Pは多くの組み込み制御の応用に対して高度な柔軟性と対費用効果をもたらす強力なマイクロコントローラです。

ATmega48A/48PA/88A/88PA/168A/168PA/328/328P AVRはCコンパイラ、マクロアセンブラ、デバッガ、シミュレータ、インサーキットエミュレータ、評価キットを含む専用のプログラム及びシステム開発ツールで支援されます。

## 2.2. プロセッサ間の違い

ATmega48A/48PA/88A/88PA/168A/168PA/328/328Pはメモリ容量、ポートロータ支援機能、割り込みベクタの大きさだけが異なります。表2-1はこれらのデバイスについてメモリ容量と割り込みベクタの大きさの違いを要約します。

表2-1. メモリ容量対比表

デバイス名	フラッシュメモリ	EEPROM	SRAM	割り込みベクタの大きさ
ATmega48A/48PA	4Kバイト	256バイト	512バイト	1命令語/ベクタ
ATmega88A/88PA	8Kバイト	512バイト	1Kバイト	1命令語/ベクタ
ATmega168A/168PA	16Kバイト	512バイト	1Kバイト	2命令語/ベクタ
ATmega328/328P	32Kバイト	1Kバイト	2Kバイト	2命令語/ベクタ

ATmega88A/88PA/168A/168PA/328/328Pは真の「書き込み中の読み出し可」自己プログラム機構を支援します。これは独立したポート領域で、SPM命令はその領域からだけ実行できます。ATmega48A/48PAでは書き込み中の読み出し可動作は支援されず、独立したポート領域もありません。SPM命令はフラッシュメモリ全体で実行できます。

## 3. 資料

包括的なデータシート、応用記述、開発ツール群は<http://www.atmel.com/avr>でのダウンロードで利用可能です。

## 4. テンプレート保持力

信頼性証明結果はテンプレート保持誤り率の反映を示し、20年以上/85 または100年以上/25 で1PPMよりずっと小さな値です。

## 5. コード例について

この資料はデバイスの様々な部分の使用法を手短に示す簡単なコード例を含みます。これらのコード例はアセンブルまたはコンパイルに先立ってデバイス定義ヘッダファイルがインクルードされると仮定します。全てのコンパイル製造業者がヘッダファイル内にビット定義を含めるとは限らず、またCでの割り込みの扱いがコンパイラに依存することに注意してください。より多くの詳細についてはコンパイラの資料で確認してください。

これらのコード例はアセンブルまたはコンパイルに先立ってデバイス定義ファイルがインクルードされることが前提です。拡張I/O領域に配置したI/Oレジスタに対し、N、OUT、SBIS、SBC、CBI、SB命令は拡張I/O領域へのアクセスを許す命令に置き換えられなければなりません。代表的にはSBR、SBR、SBR、CBR命令と組み合わせたLDS、STS命令です。